

# 公開実用 昭和63-191653

⑭ 日本国特許庁(JP)

⑮ 実用新案出願公開

⑯ 公開実用新案公報(U)

昭63-191653

⑰ Int. Cl.

H 01 L 27/08  
29/78

識別記号

1 0 2  
3 0 1

庁内整理番号

F-7735-5F  
K-8422-5F

⑱ 公開 昭和63年(1988)12月9日

審査請求 未請求 (全 頁)

⑲ 考案の名称 半導体回路用過電圧保護装置

⑳ 実 願 昭62-82740

㉑ 出 願 昭62(1987)5月29日

㉒ 考 案 者 有 村 健 一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会  
社内

㉓ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉔ 代 理 人 弁理士 山口 巖

BEST AVAILABLE COPY

## 明 細 書

1. 考案の名称 半導体回路用過電圧保護装置

2. 実用新案登録請求の範囲

1) 半導体回路を外部回路から侵入する過電圧から保護するために半導体回路と同一基板上に組み込まれる保護装置であって、外部回路との接続点と基準電位点との間に挿入された第1の降伏電圧を有する第1のダイオードと、外部回路との接続点と半導体回路との接続点との間に挿入された抵抗と、半導体回路との接続点と基準電位点との間に第1のダイオードと同方向に挿入され第1の降伏電圧よりは低い第2の降伏電圧を有する第2のダイオードとを備えてなる半導体回路用過電圧保護装置。

2) 実用新案登録請求の範囲第1項記載の保護装置において、第1のダイオードが縦形ダイオードとして構成されたことを特徴とする半導体回路用過電圧保護装置。

3) 実用新案登録請求の範囲第1項記載の保護装置において、第1のダイオードおよび第2のダイオ

ードが正極性の過電圧に対して降伏する方向に挿入されたことを特徴とする半導体回路用過電圧保護装置。

### 3. 考案の詳細な説明

#### 〔産業上の利用分野〕

本考案は集積回路等の半導体回路用過電圧保護装置、とくにMOS集積回路の保護に適する過電圧保護装置であって、半導体回路を外部回路から侵入する過電圧から保護するために半導体回路と同一基板上に組み込まれるものに関する。

#### 〔従来の技術〕

よく知られているように半導体回路は外部回路から侵入する過電圧に弱い問題があり、とくにMOS集積回路は静電気によって発生するパルス状の過電圧によって破壊されやすい。このため、半導体回路が組み込まれる基板の外部回路との接続点には簡単な過電圧保護装置を組み込むことが一般に行なわれている。この際、外部回路から侵入する過電圧パルスは正極性と負極性とがあり得るから、過電圧保護装置はこれら両極性の過電圧パ

ルスから半導体回路を安全に守れるものでなければならぬ。

かかる目的に適する従来の過電圧保護装置を第4図および第5図に示す。第4図はその回路を、第5図はそれを基板内に組み込む要領を示すものである。第4図において、外部回路との接続点はS<sub>i</sub>で示されておりこれが保護装置への信号等の入力点になり、半導体回路との接続点はS<sub>o</sub>で示されておりこれが保護装置からの信号等の出力点になる。入力点S<sub>i</sub>には正の電源点V<sub>d</sub>との間に電源点に向けて電流を流す方向にダイオード1が接続されており、出力点S<sub>o</sub>には接地点との間に出力点に向けて電流を流す方向にダイオード2が接続されており、入力点S<sub>i</sub>と出力点S<sub>o</sub>とは抵抗3で接続される。

これを半導体基板内に作り込むには、第5図に示すように例えばn形の基板4にまずp形層5、6を作り込む。この内のp形層5は抵抗3として用いられ、かつそれと基板4との間のpn接合がダイオード1を構成する。もう一方のp形層6は

ダイオード2用であって、この中に強いn形層7を作り込んでそれとの間のpn結合によりダイオード2を構成する。n形層7と同時に基板4の表面の適当な場所に別の強いn形層8を作り込み、これを電源点Vdに接続する。入力点Siはp形層5の左端に接続され、この部分に形成されたダイオード1がこの入力点Siと電源点Vdとの間に挿入される。p形層5の右端とn形層8は出力点Soに共通接続され、p形層6は接地点と接続される。従ってp形層6とn形層7とで構成されたダイオード2は出力点Soと接地点Eとの間に挿入される。

以上のように構成された従来の過電圧保護装置は、入力点Siから電源点電位Vdを越える正極性の過電圧パルスが侵入したとき、ダイオード1が導通して過電圧を電源点の電位Vdよりダイオード1の順方向電圧だけ高い電圧に制限する。入力点Siから負極性の過電圧パルスが侵入したときには、ダイオード2が導通して接地点電位Eよりダイオード2の順方向電圧だけ低い電圧に制限する。従って、出力点から半導体回路に伝えられる信号等

の電圧範囲は、接地点電位  $E$  よりダイオード 2 の順方向電圧だけ低い値から電源点電位  $V_d$  よりダイオード 1 の順方向電圧だけ高い電圧までの上下限に制限されるので、これによって半導体回路は正負の過電圧から守られる。

〔考案が解決しようとする問題点〕

従来の過電圧保護装置では上の説明からもわかるように負極性の過電圧は出力点側のダイオード 2 によって制限されるので、この過電圧は第 5 図でいえば  $p$  形層 5 の中を図の左端から右端に向けて伝達される。負極性の過電圧はこの  $p$  形層 5 と  $n$  形の基板 4 との間の  $p-n$  接合に対して逆方向電圧を掛けることになるから、過電圧の値が大きい場合には接合を破壊する可能性があり、実際に接合破壊が発生することが稀ではなく、この接合即ダイオード 1 であるから、負極性パルスによってダイオード 1 が破壊されることになる。この負極性パルスが出力点に到達すればダイオード 2 によって充分吸収できる程度のものであっても、それが伝達される前に保護装置自体の破壊が生じうる

のである。

従来の過電圧保護装置のもう一つの問題点は正極性の過電圧が到来したとき、保護すべき半導体回路にラッチアップが発生しやすいことである。第6図はこれを例示するもので、半導体回路としてMOS回路が示されている。このMOS回路は図で部分的に示された入力点が接続されるp形層5が作り込まれているn形基板4に組み込まれている。nチャネルMOSトランジスタはp形のウェル51内に作られていて、強いn形の1対のドレン・ソース52を備えており、その内の1個はふつう接地点Eに接続されている。入力点Siからこの接地点Eに至る半導体層はpnpnのサイリスタと同じ4層構成になっている。いま、入力点Siから正極性の過電圧パルスが入って、ダイオード1が導通しp形層5からn形基板4に電流が流入したとすると、この電流が上の4層構成のサイリスタに対する注入電流となり、その電流値がある限界を越えるとサイリスタが導通することになる。図の右側に示されたpチャネルMOSトランジスタ

タは n 形基板に作り込まれた強い p 形のドレン・ソース 53 を持っており、普通その一方は電源点  $V_d$  と接続されている。この p 形のドレン・ソース 53 と n 形の基板 4 と隣りの p 形のウエル 51 とは一種の p n p トランジスタを形成しているので、そのベースである n 形基板に上述の過電圧に基づく注入電流ないしはサイリスタの導通電流が流れるとこのトランジスタも導通することになり、結局電源点  $V_d$  と接地点 E との間が導通してしまうことになる。

かかるラッチアップが発生する基板への注入電流の限界は、ふつうラッチアップ耐量と呼ばれており、注入電流がパルス状の場合は 100 V で充電された数百 pF のキャパシタを放電させたときに相当する値であるのがふつうである。すなわち従来の過電圧保護装置では、この程度の正極性の過電圧パルスが到来すると半導体回路内のラッチアップ発生を防ぐことができないのであって、換言すれば半導体回路のラッチアップ限界を越す過電圧パルスに対する保護能力は期待できないことになる。



る。

本考案はかかる従来技術のもつ問題点を解決して、負極性の過電圧に対する耐量が高く、正極性の過電圧に対しても半導体回路がもつラッチアップ限界によって制限されることがない半導体回路用過電圧保護装置を得ることを目的とする。

〔問題点を解決するための手段〕

この目的は本考案によれば、半導体回路用過電圧保護装置を外部回路との接続点と基準電位点との間に挿入された第1の降伏電圧を有する第1のダイオードと、外部回路との接続点と半導体回路との接続点との間に挿入された抵抗と、半導体回路との接続点と基準電位点との間に第1のダイオードと同方向に挿入され第1の降伏電圧よりは低い第2の降伏電圧を有する第2のダイオードとで構成することにより達成される。

〔作用〕

通常のように半導体回路が正の電圧下で動作するとき、前述の構成中の基準電位点は接地点であり、保護装置の外部回路との接地点すなわち前述

の入力点は正の電位をもっている。上記構成中の第1のダイオードはこの入力点と接地点との間に挿入され、入力点に正極性の過電圧パルスが到来したときツエナダイオードのように一時的に降伏するが、負極性の過電圧パルスが到来したときには順方向に導通してそれを入力点で吸収してしまう。従って本考案の場合、負極性の過電圧パルスが抵抗を通過して出力点側に伝達されることがない。また、順方向導通であるから電流の吸収能力が大きく、よほど大きな負極性の過電圧パルスが到来しない限りこの第1のダイオードが破壊するおそれはないが、該ダイオードを縦形にすることによりその電流吸収能力をさらに上げることができる。正極性の過電圧パルスに対しては、前述の降伏によりその波高値が第1のダイオードがもつ第1の降伏電圧まで入力点で制限されるが、本考案ではさらに半導体回路との接続点すなわち保護装置の出力点に設けられた第2のダイオードがもつ第2の降伏電圧に制限する。この際、正極性の過電圧が抵抗を介して入力点から出力点に伝達されるこ

とになるが、すでにその過電圧は第1のダイオードのもつ第2の降伏電圧に制限されているので、接合が破壊するおそれはない。第2のダイオードは第1の降伏電圧よりは低い第2の降伏電圧をもち、過電圧に対する制限をこのように2段に別けてすることにより、正極性の過電圧に対する電圧制限作用を従来より確實に行なわせることができる。また、第1の降伏電圧と第2の降伏電圧との大きさの割合を適宜に選択することにより、第1のダイオードと第2のダイオードがかかる負担をうまく按分して両ダイオードにむりが掛からないようにすることができる。

次にラッチアップの防止については、第1のダイオードおよび第2のダイオードのいずれも基準電位点に接続されているので、過電圧が正極性であるか負極性であるかを問わず電圧制限作用に伴う電流はすべて基準電位点例えば接地点に流れるので、この電流が従来のように半導体回路の方に流れ込むおそれが全くなく、従って本考案による過電圧保護装置は半導体回路がもつラッチアップ

耐量に無関係に過電圧を制限することができる。

(実施例)

以下、図を参照しながら本考案の実施例を説明する。

第1図は本考案による半導体回路用過電圧保護装置の回路構成を示すもので、図の入力点Siが外部回路との接続点で出力点Soが半導体回路との接続点になる。入力点Siに接続される第1のダイオード10も出力点Soに接続される第2のダイオード20も、これらの接続点と基準電位点Eとの間に同方向に挿入され、両ダイオードともツエナダイオードとしての動作を行なう。入力点Siと出力点Soとの間は従来のとおり抵抗30によって結合される。半導体回路がMOS回路であって動作電圧が通常の5Vである場合、第1のダイオード10のもつ第1の降伏電圧V1は例えば30Vに、第2のダイオード20のもつ第2の降伏電圧V2は例えば7Vに選定される。入力点Siから信号等とともに図示のように正極性の過電圧パルスVpが侵入したとき、第1のダイオード10はこれを第1の降伏電圧V1以内に

制限し、抵抗30内でやや減衰されたこの過電圧は第2のダイオード20によりさらに第2の降伏電圧 $V_2$ 以内に制限されて、有害な過電圧を含まない信号等が出力点 $S_o$ から半導体回路に送られる。入力点 $S_i$ から負極性の過電圧パルス $V_n$ が侵入したとき、過電圧は第1のダイオード10のもつ順方向電圧以内に制限され、仮にこの制限作用が不充分であったとしてもさらに第2のダイオード20のもつ順方向電圧以内に制限される。

第2図はこの過電圧保護装置を半導体基板内に組み込んだ例を示すもので、さらに第3図にその組み込み工程の概要が示されており、この第3図の方から先に説明する。半導体回路が組み込まれる基板41は通常のようにn形であって、本考案による過電圧保護装置もこの基板41に組み込まれる。同図(a)に示すように、このn形基板41内にまずp形層42を5～10 $\mu$ mの深さで作り込み、さらに第1のダイオード10用の強いp形層43を3～4 $\mu$ mの深さで作り込む。次に同図(b)に示すように抵抗30用の強いn形層44を細長くp形層43よりはやや浅く

作り込む。さらに第2のダイオード20用に最も強いp形層45を1～1.5  $\mu$ mの深さに作り込み、同時に基準電位点との接続用に同様なp形層46を作り込む。

最終工程は第2図に示すように、第1のダイオード用にn形層47を、第2のダイオード用にn形層48を同時に最も強いn形で1～1.5  $\mu$ mの深さに作り込む。この内n形層47は図示のように前のp形層43の上に重ねられるので、この実施例における第1のダイオード10は縦形のダイオードとされ大きな電流容量をもつ。これはp形層47が接続される入力点S1から負極性の過電圧パルスが侵入したとき、それに対する十分な吸収能力を第1のダイオード10にもたせるためである。第2のダイオード用のn形層48は前のp形層45と並べて作り込まれるので、この実施例における第2のダイオードは横形ダイオードであって、それを構成する両層45,48はいずれも最も強いp形とn形なので、十分に低い降伏電圧をこれに持たせることができる。これからわかるように、この実施例における

第1のダイオード10は負極性の過電圧に対して大きな吸収能力をもつよう、第2のダイオードに対しては正極性の過電圧を充分低い値に制限するように構成される。なお、第2のダイオードのn形層48には出力点Soが接続される。また、前述のp形46は基準電位点Eと接続されるので、第1のダイオード10による負極性の過電圧の吸収ないしは正極性の過電圧の制限時に、この第1のダイオード10に流れる電流は入力点側で基準電位点Eに導かれる。同様に第2のダイオード20側でもそれに流れる電流は、出力点So側で該ダイオードを構成するp形層45から直接基準電位点Eに導かれる。従って、第1のダイオード10と第2のダイオード20がどのような過電圧の吸収ないしは制限作用を行なっても、それに伴う電流はすべて基準電位点Eに導かれて半導体回路に回りこむことがないので、半導体回路がラッチアップを起こすおそれなくなる。さらに、入力点Siが接続されるn形層7、抵抗30を構成するn形層44、および出力点Soが接続されるn形層48はすべてn形で、図からわ

かるようにまわりを基準電位点Eと同電位のp形層で囲まれており、半導体回路が作り込まれる基板41と電位上完全に分離されるので、それからの漏洩電流によっても半導体回路がラッチアップを起こすおそれはない。

〔考案の効果〕

以上の説明からわかるように本考案では、半導体回路を外部回路から侵入する過電圧から保護するために半導体回路と同一基板上に組み込まれる保護装置を、外部回路との接続点と基準電位点との間に挿入された第1の降伏電圧を有する第1のダイオードと、外部回路との接続点と半導体回路との接続点との間に挿入された抵抗と、半導体回路との接続点と基準電位点との間に第1のダイオードと同方向に挿入され第1の降伏電圧よりは低い第2の降伏電圧を有する第2のダイオードとにより構成したので、半導体回路の動作電圧とは逆極性をもつ過電圧は入力点側の第1のダイオードにより吸収されて従来のように出力点側に伝達されることがなく、従って逆方向電圧により接合が



破壊されて第1のダイオードが破壊するようなことがなくなる。また過電圧の吸収ないしは制限に伴う電流はすべて基準電位点に導かれ、半導体回路の方に回り込むようなことがないので、半導体回路がこれによってラッチアップを起こすおそれなくなる。従って本考案による過電圧保護装置は、半導体回路がもつラッチアップ限界に節約されることなく、過電圧を充分に吸収ないしは制限することができる。

このように、本考案は半導体回路と同一基板に組み込んで半導体回路を過電圧から守り、その動作信頼性を向上させることができる。

#### 4. 図面の簡単な説明

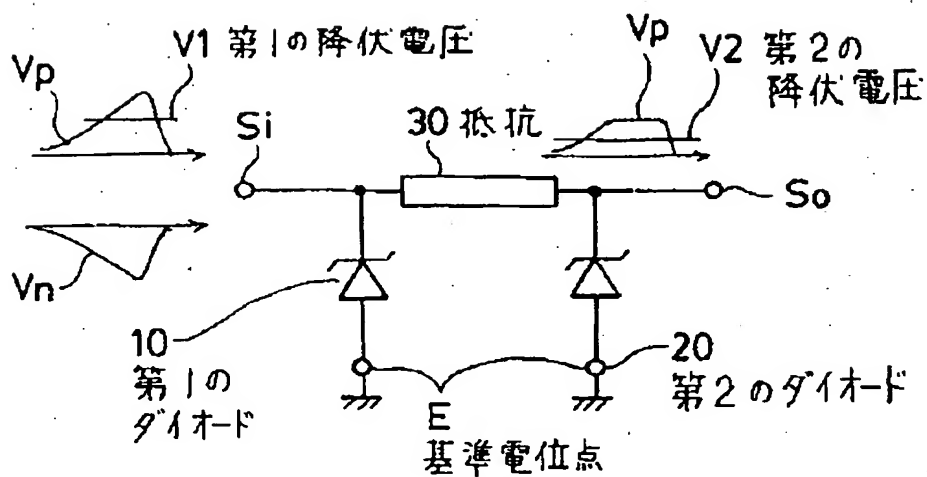
第1図から第3図までが本考案に関し、第1図は本考案による半導体回路用過電圧保護装置の実施例回路図、第2図は半導体基板に組み込んだ該過電圧保護装置の縦断面図、第3図はその製作工程を示す縦断面図である。第4図以降は従来技術に関し、第4図は従来技術による半導体回路用過電圧保護装置の回路図、第5図はその半導体基板

に組み込んだ状態を示す縦断面図、第6図は半導体回路のラッチアップ現象を説明する半導体基板の縦断面図である。図において、

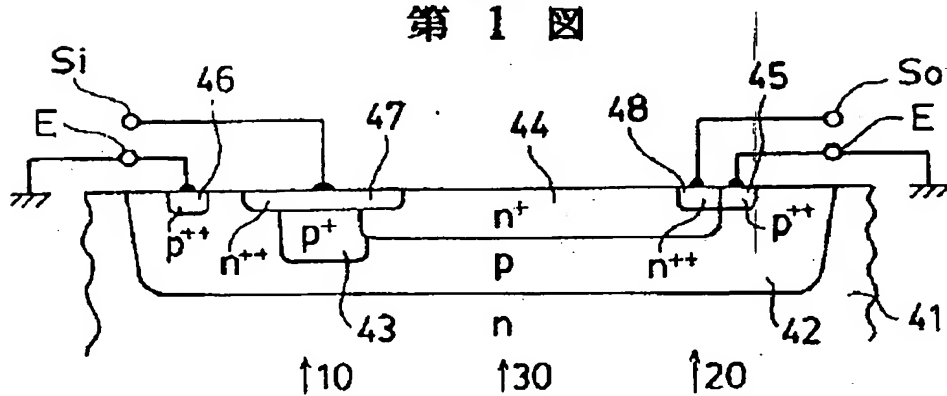
10：第1のダイオード、20：第2のダイオード、  
30：抵抗、41：n形基板、42,43,45,46：p形層、  
44,47,48：n形層、Eは基準電位点ないしは接地点、  
Si：入力点ないしは外部回路との接続点、So：  
出力点ないしは半導体回路との接続点、 $V_p$ ：正極性の過電圧パルス、 $V_n$ ：負極性の過電圧パルス、  
 $V_1$ ：第1の降伏電圧、 $V_2$ ：第2の降伏電圧、である。

代理人弁理士 山口 巖

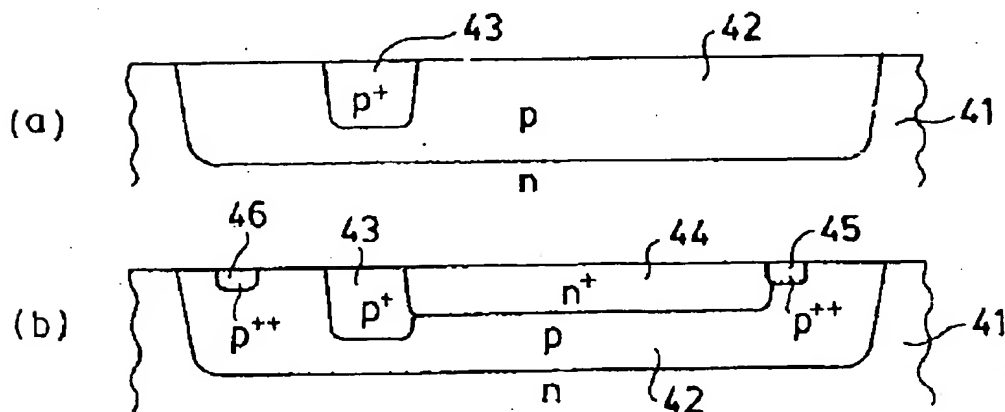




第1図

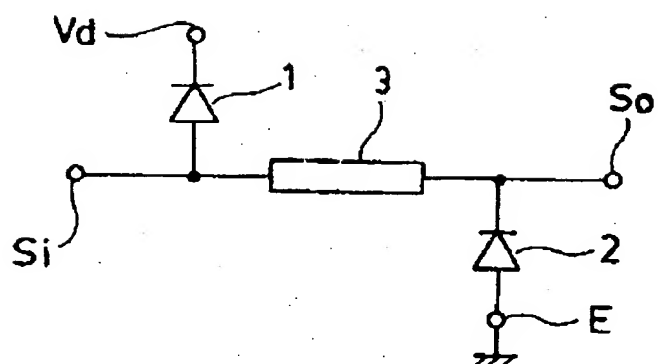


第2図

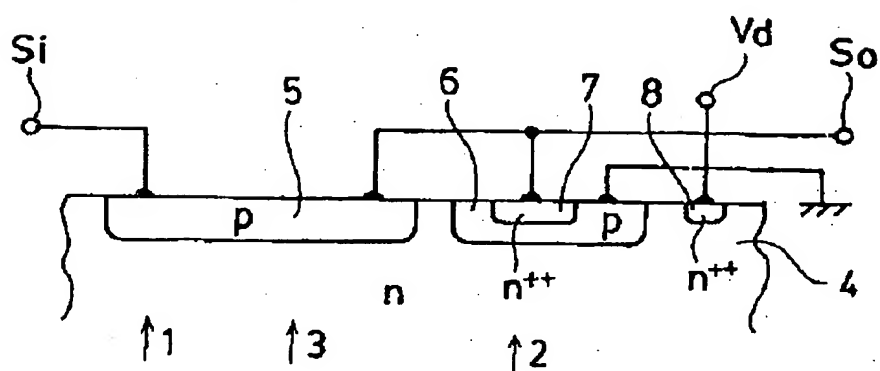


第3図

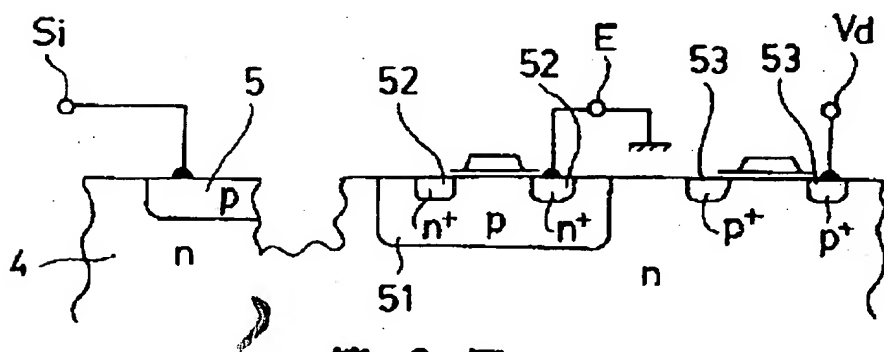




第 4 圖



第 5 圖



第 6 圖

代理人弁理士 山口 巖

566

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- 
- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**